

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183459
 (43)Date of publication of application : 30.06.2000

(51)Int.CI.

H01S 5/227

(21)Application number : 10-359504
 (22)Date of filing : 17.12.1998

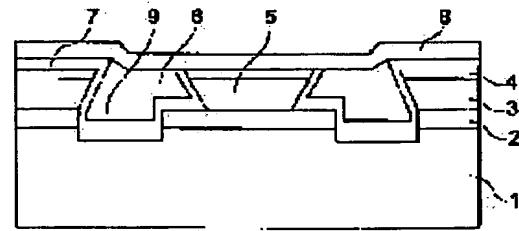
(71)Applicant : OKI ELECTRIC IND CO LTD
 (72)Inventor : KOBAYASHI MASAO

(54) RIDGE WAVEGUIDE SEMICONDUCTOR LASER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the threshold electrical current and ensure rapid response by controlling the structure and shape of an active layer of the lower part of a ridge waveguide.

SOLUTION: A strained MQW active layer 2, an InP clad layer 3, and an InGaAs contact layer 4 are successively crystallized and grown on an InP substrate 1. A reverse mesa etching is conducted to the extent of the strained MQW active layer 2 to form a ridge waveguide part 5 of a reverse mesa shape is produced. Next, a part of the strained MQW active layer 2 is removed to reach the InP substrate 1. As a result, a part 9 is produced, in which the strained MQW active layer 2 has been removed. Then, a SiO₂ film 7 is formed entirely in order to injection of electric current only into an ridge waveguide 5. Next, only the upper part of the SiO₂ ridge waveguide 5 is removed so that only the upper part of the ridge waveguide 5 is exposed from a SiO₂ film 7. In addition, a polyimide 6 is buried in a groove of the side of a ridge waveguide 5 to the hight thereof. Finally, an ohmic electrode 8 is deposited.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183459

(P2000-183459A)

(43)公開日 平成12年6月30日 (2000.6.30)

(51)Int.Cl.

H 01 S 5/227

識別記号

F I

テマコード(参考)

H 01 S 3/18

6 6 5

5 F 0 7 3

検査請求 未請求 請求項の数 4 OL (全 7 頁)

(21)出願番号 特願平10-359504

(22)出願日 平成10年12月17日 (1998.12.17)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 小林 正男

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100089093

弁理士 大西 健治

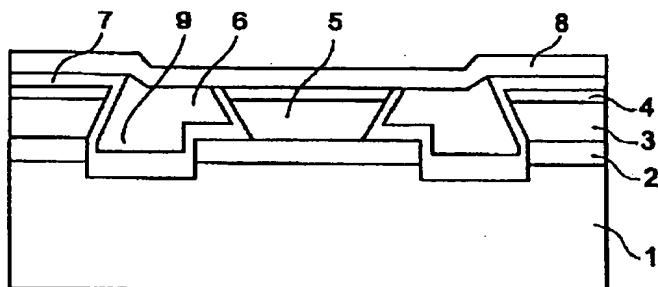
Fターム(参考) 5F073 AA07 AA08 AA11 AA13 CB11
DA12 DA14 DA21 EA14 EA23

(54)【発明の名称】 リッジ導波路型半導体レーザ

(57)【要約】

【課題】 リッジ導波路型レーザでは、活性層への電流狭窄がうまく行なわれていなかった。レーザの閾値電流の低減に貢献するために、電流狭窄部をうまく作る方法を提供する。

【解決手段】 MOVPE法を使って結晶成長させ、リッジ導波路部を製作すると活性層が素子全域に形成されているため、活性層の中央部に優先的に電流が流れなかった、活性層の一部を削ることによって中央部に優先的に電流が流れる構造を得ることが出来る。



【特許請求の範囲】

【請求項1】半導体基板上に活性層とクラッド層とコンタクト層を順次積層し、前記クラッド層と前記コンタクト層をエッティングし、リッジ導波路部を作製したリッジ導波路型半導体レーザにおいて、

前記エッティングにより露出した前記活性層上に前記リッジ導波路部の両脇から所定の長さを有する高次モード抑制部を形成したことを特徴とするリッジ導波路型半導体レーザ。

【請求項2】半導体基板上に活性層とクラッド層とコンタクト層を順次積層し、前記クラッド層と前記コンタクト層をエッティングし、リッジ導波路部を作製したリッジ導波路型半導体レーザにおいて、

前記エッティングにより露出した前記活性層上に前記リッジ導波路部の両脇から所定の長さを有するイオン打ち込み保護部を形成し、前記イオン打ち込み保護部から露出している前記活性層をイオン打ち込みによって高抵抗化することを特徴とするリッジ導波路型半導体レーザ。

【請求項3】半導体基板上に活性層とクラッド層とコンタクト層を順次積層し、前記クラッド層と前記コンタクト層をエッティングし、リッジ導波路部を作製したリッジ導波路型半導体レーザにおいて、

前記エッティングにより露出した前記活性層上に前記リッジ導波路部の両脇から所定の長さを有する拡散防止部を形成し、前記拡散防止部から露出している活性層へ半導体基板と同じ伝導性不純物の拡散を行ない、拡散を行なった部分の前記活性層のp-n接合を反転させ、前記リッジ導波路部直下の活性層とp-n接合を形成することを特徴とするリッジ導波路型半導体レーザ。

【請求項4】半導体基板上に活性層とクラッド層とコンタクト層を順次積層し、前記クラッド層と前記コンタクト層をエッティングし、リッジ導波路部を作製した半導体レーザにおいて、

前記リッジ導波路部側面に絶縁膜を形成した後に、ポリイミドを用いてリッジ導波路部を埋め込むことを特徴とする半導体レーザ

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はリッジ導波路型半導体レーザに関するものである。

【0002】

【従来の技術】従来、半導体基板1上にMOVPE法により少なくとも活性層2とクラッド層3を順次結晶成長を行ない。次に活性層2、上部クラッド層が逆メサ構造になるようにストライプ状のエッティングをし、リッジ導波路部に電流を印加するリッジ導波路型半導体レーザを作製する方法が知られている。その詳しいことは、青木他”ELECTRONICS LETTERS”8TH June 1995 VOL.31 NO.12 P.973-P.974に記載されている。

【0003】

【発明が解決しようとする課題】しかしながら、上記構成の素子については、歪み多重量子井戸(multiple quantum well以下MQWと略記)活性層2が、素子全域に形成されているためp-n接合容量が大きくなり、応答速度が遅くなるという欠点がある。また電流を注入すると逆メサ形状のリッジ導波路部の下層の歪みMQW活性層2の横方向にも電流がもれて、閾値電流が高くなるという欠点が生じる。

【0004】

【課題を解決するための手段】よってこの発明は、上記に記載したような課題を解決するために、リッジ導波路構造の半導体レーザにおいて、リッジ導波路下部の活性層の構造と形状を制御することにより、リッジ導波路部の下層の歪みMQW活性層の横方向に電流がもれる範囲が少なくなるため、閾値電流を低くすることが出来る。さらにp-n接合の容量を従来の構成素子に比べて、数10分の1程度に低減する。

【0005】

【発明の実施の形態】以下、図面を用いてこの発明の実施形態について説明する。図1は、この発明の第1の実施形態のレーザの構造を示す断面図である。以下図1のレーザの製造工程を図4および図5を用いて説明する。

【0006】MOVPE装置を使用し、InP基板1上に歪みMQW活性層2とInPクラッド層3とInGaAsコンタクト層4を順次結晶成長させる(図4-a)。この順次結晶成長させた基板にリッジ導波路部5を作製する。作製工程を以下に示す。

【0007】順次結晶成長させた基板の上にSiO₂膜51を形成する(図4-b)。このSiO₂膜51を公知の手法によりパターン成形する(図4-c)。パターン成形は、エッティングを行なったときに(111)A面の側壁が得られるように行なう。パターン成形したSiO₂膜51をエッティングマスクとして使用し、硫酸系のエッティング液により、InGaAsコンタクト層4を選択的にエッティング除去する(図4-d)。

【0008】次に、パターン成形したSiO₂膜51をそのままエッティングマスクとして用いて、臭化水素とリン酸の混合溶液により選択エッティングを行なう。すなわち、歪みMQW活性層2に達するまで逆メサエッティングを行なう(図4-e)。以上によって逆メサ形状のリッジ導波路部5を作製する。

【0009】次にリッジ導波路部の長手方向に沿って両脇に、高次モード抑制部を形成する。この高次モード抑制部には、歪みMQW活性層をそのまま用いる。そして高次モード抑制部を残して、露出した歪みMQW層をエッティングによって除く。より具体的に述べると、以下の通りである。逆メサエッティングにより露出した歪みMQW活性層2のうち、リッジ導波路部の長手方向に沿って両脇から所定の長さまでを残しそれ以上離れた部分をエッティング除去する。ここで所定の長さとは、レーザを発

振させたとき高次モードが発生しない長さである。この実施形態で残す部分は、数ミクロン程度が適當である。より好ましくは、0.5～5ミクロンである。除去する工程を以下に示す。

【0010】逆メサ形状のリッジ導波路部5を作製した基板上に、SiO₂膜52を形成する。このSiO₂膜52を公知の手法によりパターン成形する。パターン成形したSiO₂膜52をエッティングマスクとして使用しエッティングを行なう。SiO₂膜52のパターン成形は、露出した歪みMQW活性層2のうち、リッジ導波路部の長手方向に沿って両脇から高次モードが発生しない長さを保護するように行なう(図5-a)。

【0011】次に、パターン成形したSiO₂膜52をエッティングマスクとして用いて、硫酸系のエッティング液によりInP基板1に到達するまで歪みMQW活性層2の一部を除去する。この結果、歪みMQW活性層2を除去した部分9が形成される(図5-b)。

【0012】次に、エッティングのために使用したSiO₂膜51およびSiO₂膜52を取り除く(図5-c)。SiO₂膜51および52を取り除いた後の基板に、リッジ導波路部5にのみ電流を注入する為に、注入電流に対する絶縁膜として、新たにSiO₂膜7を全体に形成する。次に、リッジ導波路部5の上部のみが、SiO₂膜7より露出するように、SiO₂膜7のリッジ導波路部5の上部のみを公知の手法により取り除く(図5-d)。

【0013】さらに、リッジ導波路部5を形成するためエッティングによってできた、リッジ導波路部5側面の溝にポリイミド6をリッジ導波路部5の高さまで埋め込む(図5-e)。最後にオーミック電極8を蒸着する。

この時リッジ導波路部5上面よりも大きくオーミック電極8を蒸着する。また、オーミック電極8は、作製基板表面全体に蒸着しても良い(図5-f)。

【0014】第1の実施形態で、歪みMQW活性層2をリッジ導波路層5と同じ幅まで除去してしまうと、リッジ導波路部5の直下にある歪みMQW活性層にのみ電流が注入される。しかし、リッジ導波路部5直下の歪みMQW活性層がSiO₂膜7に接触しているため光の閉じ込めが強くなる。この結果、レーザ発振をしたとき高次モードが発生し、多重モード発振が生じることは良く知られている(モードホッピング)。よって高次モードが発生しない様に、電流注入領域の両側に、歪みMQW活性層2を残す必要がある。

【0015】以上のように構成したリッジ導波路型半導体レーザは、リッジ導波路部5の下層の歪みMQW活性層2の横方向にも電流がもれる範囲が少なくなるため、閾値電流を低くすることができる。さらに、p-n接合容量が従来の構成の素子に比べて数10分の1程度に低減するために応答速度が高速化できる。

【0016】次に第2の実施形態について説明する。図

2は、この発明の第2の実施形態のレーザの構造を示す断面図である。

【0017】第1の実施形態と同様に、MOVPE装置を使用し、InP基板1上に歪みMQW活性層2とInPクラッド層3とInGaAsコンタクト層4を順次結晶成長させる(図4-a)。以下、逆メサ形状のリッジ導波路部5を作製工程は、第1の実施形態において述べたのと同様であるので詳細は省略する。

【0018】逆メサ形状のリッジ導波路部5を作製した基板(図4-e)で、逆メサエッティングに利用したSiO₂膜51をパターン形成するために使用したホトレジスト53を、そのままイオン打ち込み用のマスクとして使用する。エッティングによって露出した部分の歪みMQW層に、プロトンをイオン打ち込みすることにより、高抵抗化された歪みMQW層10が形成される(図6-a)。

【0019】次に、ホトレジスト53とSiO₂膜51を取り除いた後の基板(図6-b)、リッジ導波路部5のみに電流を注入する為に、注入電流に対する絶縁膜として、新たにSiO₂膜7を全体に形成する(図6-c)。次に、SiO₂膜7をリッジ導波路部5の上部が露出するように、リッジ導波路部5の上部のSiO₂膜7のみを公知の手法により取り除く(図6-d)。

【0020】さらに、絶縁膜として形成したSiO₂膜7の上にポリイミド6を使ってリッジ導波路部5の上部と同じ高さまで形成する(図6-e)。最後にオーミック電極8を蒸着する(図6-f)。この時オーミック電極8は、リッジ導波路部5上面よりも大きく蒸着する。また、オーミック電極8は、作製した基板上面全面に蒸着しても良い。

【0021】この第2の実施形態において、リッジ導波路の形状が逆メサ形状である場合について以上説明した。しかし、リッジ導波路の形状は、この他にも順メサ又は垂直メサの形状のリッジ導波路部でも良い。以下例としてリッジ導波路の形状が垂直メサ形状の場合を説明する。

【0022】第1の実施形態と同様に、MOVPE装置を使用しInP基板1上に歪みMQW活性層2とInPクラッド層3とInGaAsコンタクト層4を順次結晶成長させる(図4-a)。

【0023】次に、順次結晶成長させ更にSiO₂膜51を形成する(図4-b)。このSiO₂膜51を公知の手法によりパターン成形する(図4-c)。パターン成形は、エッティングを行なったときに垂直メサ形状が得られるよう行なう。パターン成形したSiO₂膜51をエッティングマスクとして使用して、硫酸系のエッティング液により、InGaAsコンタクト層4を選択的にエッティング除去する(図4-d)。

【0024】次に、第1の実施形態と同様に活性層2が露出するまでエッティングを行なう(図4-f)。垂直メ

サ形状のリッジ導波路部を作製した基板上にホトレジスト膜6 1を形成する(図7-a)。このホトレジスト膜6 1を公知の手法によりイオン打ち込み保護部または、拡散防止部をパターン成形する。ホトレジスト膜6 1のパターン成形は、リッジ導波路部5の長手方向に沿って両脇から所定の距離までを残しそれ以上離れたの歪みMQ W活性層を露出させるようにパターン成形する(図7-b)。この所定の距離は、イオン打ち込み保護部をパターン形成するときは、イオンの打ち込み時に電流注入部に影響させない距離である。また、拡散防止部をパターン成形するときは、半導体基板と同じ伝導性不純物拡散を電流注入部に影響させない距離である。この実施形態で所定の距離は、数ミクロン程度が適当である。より好ましくは、1~10ミクロンである。

【0025】このホトレジスト膜6 1をイオン打ち込み用のマスクとして使用し、露出している歪みMQ W活性層2に、イオン打ち込みによりプロトンを注入する。プロトンによるイオン打ち込みによって高抵抗化された歪みMQ W層10が形成される(図7-c)。

【0026】以下第1の実施形態と同様に、SiO₂膜5 1およびホトレジスト膜6 1を取り除いた後に(図7-d)、リッジ導波路部5にのみ電流を注入する為に、注入電流に対する絶縁膜として、新たに電流狭窄用のSiO₂膜7を全体に形成する。次に、リッジ導波路部5の上面のみがSiO₂膜7より露出するように、リッジ導波路部5上部のSiO₂膜7のみを公知の手法により取り除く(図7-e)。リッジ導波路部5を形成するためにエッチングによってできた、リッジ導波路部5側面の溝にポリイミド6を、リッジ導波路部5高さまで埋め込む。

【0027】最後にオーミック電極8を蒸着する。この時オーミック電極8は、リッジ導波路部5上面よりも大きく蒸着する。また、オーミック電極8は、作製した基板上面全面に蒸着しても良い(図7-f)。この他、順メサ形状も同様にすれば良い。

【0028】以上のように構成したリッジ導波路型半導体レーザは、リッジ導波路部5の下層の歪みMQ W活性層2にプロトンによるイオン打ち込みによって高抵抗化された歪みMQ W層10に電流がもれる範囲が少なくなるため、閾値電流を低くすることができる。さらに、p-n接合容量が従来の構成の素子に比べて数10分の1程度に低減するために応答速度が高速化できる。

【0029】本実施形態では、半導体基板をInP系について説明したが、GaAs系、InGaP系、GaN系等の材料を用いても同様な効果がある。また、絶縁膜としてSiO₂膜を用いたが、SiN膜等の誘電帯多層膜を用いても良い。また、活性層を歪みMQ W層として説明したが、バルク活性層、無歪みMQ W層を用いても同様の効果が得られる。

【0030】第1の実施形態で、逆メサ形状について説明したが、順メサおよび垂直メサ形状を用いても同様の効果がある。

【0031】第2の実施形態で、イオン打ち込みの材料としてプロトンを用いたが、アルゴン、酸素等を用いても同様の効果が得られる。また、イオン打ち込みにて高抵抗化されたが半導体基板に、同じ導電型不純物をMQ W層に拡散を行ないMQ W層を反転させることによりリッジ導波路部の下のMQ W層とp-n接合を形成しても同様の効果がある。

【0032】

【発明の効果】以上、第1の実施形態によれば、リッジ導波路部5の直下の歪みMQ W活性層2の横方向に電流が流れる範囲が少なくなるため、閾値電流を低くすることが出来る。さらに、p-n接合容量が従来の構成の素子に比べて数10分の1程度に低減するために応答速度が高速化することが可能となる。

【0033】以上、第2の実施形態によれば、リッジ導波路部を作製したエッチング部の歪みMQ W層に、イオン打ち込みにてプロトンを入射することにより高抵抗化することで、リッジ導波路部直下の歪みMQ W層にのみ電流が注入される。つまり、注入電流のものが低減できるので、閾値電流を低くできる。また、イオン打ち込みによって高抵抗化された歪みMQ W層10は、周辺の歪みMQ W層と同等の構造なので光の閉じ込め等の問題も生じることが無い。

【図面の簡単な説明】

【図1】第1の実施形態を示す断面図である。

【図2】第2の実施形態を示す断面図である。

【図3】従来のリッジ導波路構造を示す断面図である。

【図4】リッジ導波路部の製造工程の説明図である。

【図5】第1の実施形態の製造工程の説明図である。

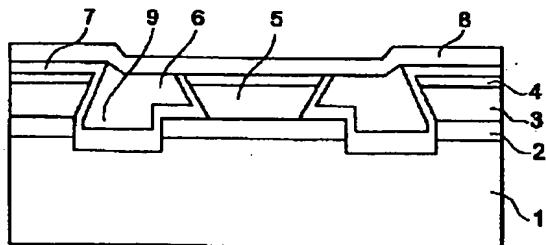
【図6】第2の実施形態の製造工程の説明図である。

【図7】第2の実施形態の製造工程の説明図である。

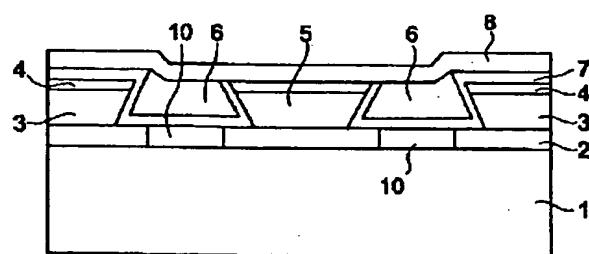
【符号の説明】

1. 半導体基板
2. MQ W層
3. InPクラッド層
4. InGaAsコンタクト層
5. 逆メサリッジ導波路
6. ポリイミド
7. SiO₂層
8. オーミック電極
9. エッチング部
10. 高抵抗層
51. SiO₂層
52. SiO₂層
61. ホトレジスト層

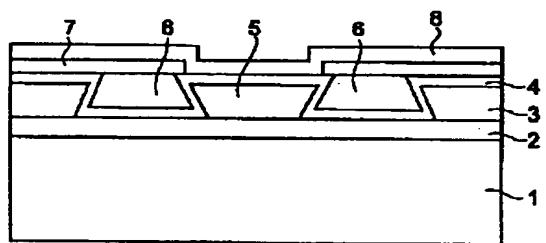
【図1】



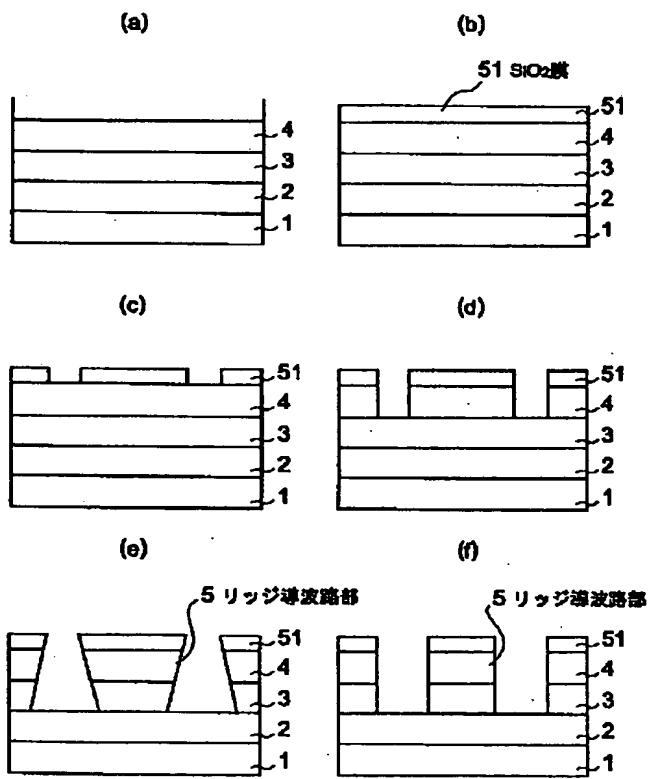
【図2】



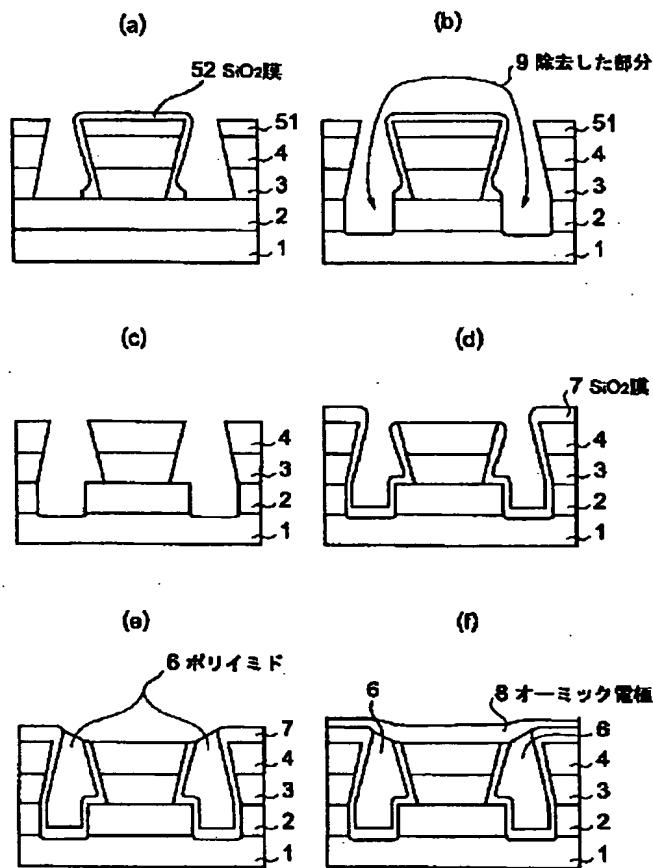
【図3】



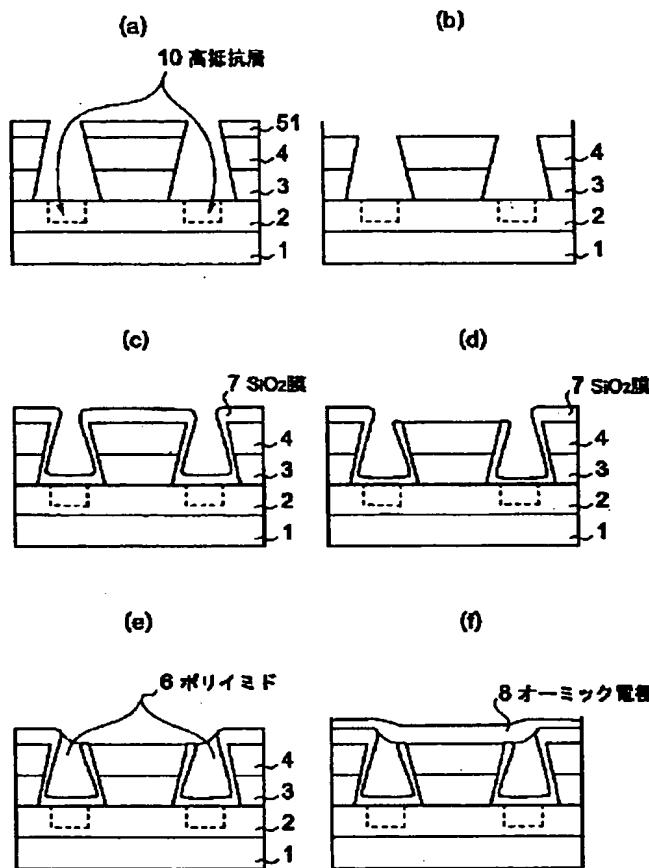
【図4】



【図5】



【図6】



【図7】

